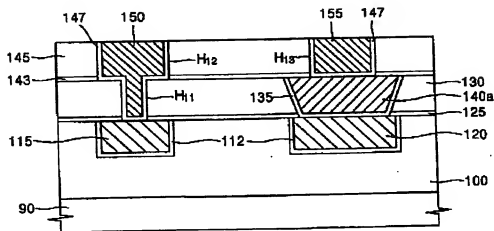


[JP,2003-142593,A]

Problem(s) to be Solved by the Invention] The technical technical problem which this invention tends to solve is offering the manufacture method of the semiconductor device which has the MIM capacitor and DAMASHIN wiring structure a dielectric film's not being damaged.

[0014] Furthermore, other technical technical problems which this invention tends to solve are offering the manufacture method of the semiconductor device which has the MIM capacitor whose CMP's is unnecessary and DAMASHIN wiring structure of a layer insulation film.

[Means for Solving the Problem] the manufacture method of the semiconductor device which has the MIM capacitor and DAMASHIN wiring structure concerning this invention in order to attain the aforementioned technical technical problem -- the inside of the lower insulator layer on a semiconductor substrate -- the [the 1st metal wiring and] -- 2 metal wiring is formed the [the aforementioned 1st metal wiring and] -- the 1st insulator layer and the 2nd insulator layer which have the hole field to which the upper surface of the aforementioned 2nd metal wiring is exposed are formed one by one on the aforementioned semiconductor substrate in which 2 metal wiring was formed The capacitor up electrode which forms a dielectric film in the wall and base of the aforementioned hole field, and embeds the aforementioned hole field without the upper surface of the 2nd insulator layer of the above and a level difference completely is formed. The 3rd insulator layer and the 4th insulator layer are formed one by one on the aforementioned semiconductor substrate in which the aforementioned up electrode was formed. The contact plug which penetrates the DAMASHIN wiring structure of penetrating the above 4th, the 3rd, the 2nd, and 1st insulator layers, and contacting the upper surface of the aforementioned 1st metal wiring, and the above 4th and the 3rd insulator layer, and contacts the upper surface of the aforementioned up electrode is formed.



(51) Int.Cl. ⁷	識別記号	F I	テラット ⁷ (参考)
H 0 1 L	21/822	H 0 1 L 27/04	C 5 F 0 3 3
	21/3205	21/88	S 5 F 0 3 8
	21/768	21/90	A
	27/04		
審査請求 未請求 請求項の数23 O L (全 14 頁)			
(21) 出願番号	特願2002-224925(P2002-224925)	(71) 出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅露洞416
(22) 出願日	平成14年8月1日(2002.8.1)	(72) 発明者	朴 炳 律 大韓民国ソウル特別市江南区潤浦洞12番地 大峙アパート211棟1004号
(31) 優先権主張番号	2 0 0 1 - 0 4 6 5 1 7	(72) 発明者	鄭 周 赫 大韓民国京畿道水原市八達区豊通洞 美洲 アパート605棟1001号
(32) 優先日	平成13年8月1日(2001.8.1)	(74) 代理人	100072349 弁理士 八田 幹雄 (外4名)
(33) 優先権主張国	韓国 (K R)		

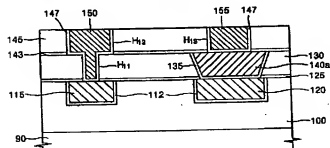
最終頁に続く

(54) 【発明の名称】 金属-絶縁体-金属キャパシタ及びダマシン配線構造を有する半導体素子の製造方法

(57) 【要約】

【課題】 金属-絶縁体-金属キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を提供する。

【解決手段】 半導体基板90上の下部絶縁膜100内に第1金属配線115及び第2金属配線120を形成し、第2金属配線120の上面を露出させるホール領域を有する第1絶縁膜125及び第2絶縁膜130を順次形成する。ホール領域の内壁及び底面に誘電膜135を形成して第2絶縁膜120の上面と段差無しにホール領域を完全に埋め込むキャパシタ上部電極140aを形成する。上部電極140a上に第3絶縁膜143及び第4絶縁膜145を形成し、第4、第3、第2及び第1絶縁膜を貫通して第1金属配線115の上面に接触するダマシン配線構造と、第4及び第3絶縁膜を貫通して上部電極140aの上面に接触するコンタクトプラグとを形成する。



【特許請求の範囲】

【請求項1】 半導体基板上の下部絶縁膜内に第1金属配線及び第2金属配線を形成する段階と、前記第1金属配線及び第2金属配線が形成された前記半導体基板上に前記第2金属配線の上面を露出させるホール領域を有する第1絶縁膜及び第2絶縁膜を順次に形成する段階と、前記ホール領域の内壁及び底面に誘電膜を形成して前記第2絶縁膜の上面と段差無しに前記ホール領域を完全に埋め込むキャパシタ上部電極を形成する段階と、

前記上部電極が形成された前記半導体基板上に第3絶縁膜及び第4絶縁膜を順次に形成する段階と、

前記第4、第3、第2及び第1絶縁膜を貫通して前記第1金属配線の上面に接触するタマシ配線構造と、前記第4及び第3絶縁膜を貫通して前記上部電極の上面に接触するコンタクトプラグとを形成する段階と、を含むことを特徴とする半導体素子の製造方法。

【請求項2】 半導体基板上の下部絶縁膜内に第1金属配線及び第2金属配線を形成する段階と、

前記第1金属配線及び第2金属配線が形成された前記半導体基板上に前記第2金属配線の上面を露出させるホール領域を有する第1絶縁膜及び第2絶縁膜を順次に形成する段階と、

前記ホール領域の内壁及び底面に誘電膜を形成して前記第2絶縁膜の上面と段差無しに前記ホール領域を完全に埋め込まない厚さにキャパシタ上部電極を形成する段階と、

前記上部電極が形成された前記半導体基板上に第3絶縁膜及び第4絶縁膜を順次に形成する段階と、

前記第4、第3、第2及び第1絶縁膜を貫通して前記第1金属配線の上面に接触するタマシ配線構造と、前記第4及び第3絶縁膜を貫通して前記上部電極の上面に接触するコンタクトプラグとを形成する段階とを含むことを特徴とする半導体素子の製造方法。

【請求項3】 前記第1金属配線及び第2金属配線を形成する段階は、

前記下部絶縁膜内に第1及び第2トレンチを形成する段階と、

前記第1及び第2トレンチを完全に埋め込む第1金属膜を形成する段階と、

前記下部絶縁膜の上面が露出されるように前記第1金属膜の上面を平坦化させる段階とを含むことを特徴とする請求項1又は2に記載の半導体素子の製造方法。

【請求項4】 前記第1金属膜としてCu膜を形成することを特徴とする請求項3に記載の半導体素子の製造方法。

【請求項5】 前記第1金属膜を形成する段階前に、前記第1及び第2トレンチの内壁及び底面に第1障壁金属膜を形成する段階をさらに含むことを特徴とする請求項3に記載の半導体素子の製造方法。

【請求項6】 前記第1障壁金属膜としてTa膜、Ta

N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、WSiN膜、及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することを特徴とする請求項5に記載の半導体素子の製造方法。

【請求項7】 前記誘電膜としてSiN膜、SiC膜、SiN膜とSiOC膜の2重膜、SiN膜とTEOS膜の2重膜、SiN膜とPEOX膜の2重膜、SiC膜とSiOC膜の2重膜、SiC膜とTEOS膜の2重膜、及びSiC膜とPEOX膜の2重膜よりなる群から選ばれたいずれか一つを形成することを特徴とする請求項1又は2に記載の半導体素子の製造方法。

【請求項8】 前記キャパシタ上部電極を形成する段階は、

前記第2絶縁膜の上面、前記ホール領域の内壁及び底面に誘電膜を形成する段階と、

前記誘電膜が形成された前記半導体基板上に前記ホール領域を完全に埋め込む第2金属膜を形成する段階と、前記第2絶縁膜の上面が露出されるように前記第2金属膜が形成された前記半導体基板の上面を平坦化させる段階とを含むことを特徴とする請求項1に記載の半導体素子の製造方法。

【請求項9】 前記平坦化させる段階は、化学機械的研磨によって行われることを特徴とする請求項8に記載の半導体素子の製造方法。

【請求項10】 前記キャパシタ上部電極を形成する段階は、

前記第2絶縁膜の上面、前記ホール領域の内壁及び底面に誘電膜を形成する段階と、

前記誘電膜が形成された前記半導体基板上に前記ホール領域を完全に埋め込まない厚さに第2金属膜を形成する段階と、

前記第2金属膜が形成された前記半導体基板上にキャッピング膜を形成する段階と、

前記第2絶縁膜の上面が露出されるように前記キャッピング膜が形成された前記半導体基板の上面を平坦化させて第2金属膜パターン及びキャッピング膜パターンを形成する段階と、前記キャッピング膜パターンが形成された前記半導体基板を洗浄する段階とを含むことを特徴とする請求項2に記載の半導体素子の製造方法。

【請求項11】 前記第2金属膜パターン及びキャッピング膜パターンを形成する段階は、化学的機械的研磨により行われることを特徴とする請求項10に記載の半導体素子の製造方法。

【請求項12】 前記キャッピング膜としてTEOS膜、PEOX膜、SiOF膜、及びSiOC膜よりなる群から選ばれたいずれか一つを形成することを特徴とする請求項10に記載の半導体素子の製造方法。

【請求項13】 前記第2金属膜としてTa膜、Ta₂N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、

WSiN膜、及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することを特徴とする請求項8又は10に記載の半導体素子の製造方法。

【請求項14】 前記第2金属膜としてTa膜とCu膜の2重膜、Ta₂N膜とCu膜の2重膜、及びTa膜とTa₂N膜とCu膜の3重膜よりなる群から選ばれたいずれか一つを形成することを特徴とする請求項8又は10に記載の半導体素子の製造方法。

【請求項15】 前記第1及び第3絶縁膜としてSiN膜又はSiC膜を形成することを特徴とする請求項1又は2に記載の半導体素子の製造方法。

【請求項16】 前記第2及び第4絶縁膜としてTEOS膜、PEOX膜、SiOF膜及びSiOC膜よりなる群から選ばれたいずれか一つを形成することを特徴とする請求項1又は2に記載の半導体素子の製造方法。

【請求項17】 前記ダマシン配線構造及びコンタクトプラグを形成する段階は、前記第4、第3、第2及び第1絶縁膜を貫通して前記第1金属配線の上面を露出させるビアトレンチ、前記ビアトレンチの上部に前記第4及び第3絶縁膜を貫通する金属配線領域トレンチ、及び前記第4及び第3絶縁膜を貫通して前記上部電極の上面を露出させるコンタクトホールを形成する段階と、

前記ビアトレンチ、金属配線領域トレンチ及びコンタクトホールを完全に埋め込む第3金属膜を形成する段階と、

前記第4絶縁膜の上面が露出されるように前記第3金属膜の上面を平坦化させる段階とを含むことを特徴とする請求項1又は2に記載の半導体素子の製造方法。

【請求項18】 前記第3金属膜としてCu膜を形成することを特徴とする請求項17に記載の半導体素子の製造方法。

【請求項19】 前記第3金属膜を形成する段階前に、前記ビアトレンチ、金属配線領域トレンチ及びコンタクトホールの内壁及び底面に第2障壁金属膜を形成する段階をさらに含むことを特徴とする請求項17に記載の半導体素子の製造方法。

【請求項20】 前記第2障壁金属膜としてTa膜、Ta₂N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、WSiN膜、及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することを特徴とする請求項19に記載の半導体素子の製造方法。

【請求項21】 前記第1絶縁膜と第2絶縁膜を形成する段階前に、前記第2金属配線上にキャパシタ下部電極を形成する段階をさらに含むことを特徴とする請求項1又は2に記載の半導体素子の製造方法。

【請求項22】 前記第1絶縁膜及び第2絶縁膜は、前記下部電極の上面を露出させるホール領域を有するよう形成することを特徴とする請求項21に記載の半導体

素子の製造方法。

【請求項23】 前記キャパシタ下部電極としてTa膜、Ta₂N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、WSiN膜、及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することを特徴とする請求項21に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法に係り、特に、金属-絶縁体-金属(Metal-Insulator-Metal;以下、MIM)キャパシタ及びダマシン配線構造を有する半導体素子の製造方法に関する。

【0002】

【従来の技術】半導体素子の高集積化が進むに伴い、金属配線工程は半導体素子の性能及び信頼性を決める上でその役割がますます重要になりつつある。今までは配線材料としてアルミニウム(Al)が多用されてきている。Alは比抵抗が3~4μΩcmと比較的に低く、加工工程が容易であるという長所がある。しかし、配線の線幅が細くなるのに伴って、配線材料としてAlよりも比抵抗が低い物質が要求されている。

【0003】各種の金属のうち銅(Cu)は比抵抗が1.7μΩcmと低いため、超高速集積回路においてAlに代わりうる配線材料として最も有望である。そして、Cuはエレクトロマイグレーション抵抗性に優れているという長所もある。このため、Cu配線を形成すれば、配線の断面積が狭まっても、半導体素子の動作速度及び信頼性は維持可能になる。

【0004】ところが、Cu配線はフォトリソグラフィ技術によって直接パターンニングすることが難しいため、Cu配線を形成するために主としてデュアルダマシン工程が用いられている。

【0005】従来の方法では、金属を蒸着した後にはフォトリソグラフィ技術によってパターンニングを行い、層間絶縁膜を形成する。しかし、ダマシン工程では層間絶縁膜を先に形成した後、金属配線領域及びビアに当たるトレンチを形成して金属を埋め込む。特に、2回の写真工程及び2回のエッチング工程を行って金属配線領域トレンチ及びビアトレンチを形成した後、金属蒸着及び化学機械的研磨(以下、CMP)工程を経て金属配線領域及びビアを形成することをデュアルダマシン工程と呼ぶ。

【0006】Cu配線を形成するためにデュアルダマシン工程を適用すれば、金属配線間にMIMキャパシタが必要とされる半導体素子の場合、新しい形成方法が要求される。

【0007】図1及び図2は、従来のMIMキャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【0008】先ず、図1を参照すれば、半導体基板1上

に形成されている下部絶縁膜 10 上に前記下部絶縁膜 10 と段差無しに第 1 金属配線 15 及び第 2 金属配線 20 を形成する。前記第 1 金属配線 15 及び第 2 金属配線 20 が形成された結果物である前記半導体基板 1 上に金属膜を形成した後、これをパターニングして前記第 2 金属配線 20 の上面に接触するキャパシタ下部電極 25 を形成する。前記下部電極 25 が形成された前記半導体基板 1 上に誘電膜 30 を形成する。前記誘電膜 30 上に他の金属膜を形成した後、これをパターニングして前記下部電極 25 と対応する位置にキャパシタ上部電極 35 を形成する。前記上部電極 35 が形成された前記半導体基板 1 上に層間絶縁膜 40 を形成する。

【0009】図 2 を参照すれば、前記層間絶縁膜 40 の上面を CMP して平坦化させる。次に、前記層間絶縁膜 40 及び誘電膜 30 をエッチングして前記第 1 金属配線 15 の上面を露出させるビアホール V1 を形成する。前記ビアホール V1 の上部に第 1 トレンチ T1 を形成し、前記上部電極 35 の上面を露出させる第 2 トレンチ T2 を形成する。次に、前記ビアホール V1 と第 1 及び第 2 トレンチ T1、T2 に Cu を埋め込んで CMP を行い、ダマシン配線構造 45 及びコンタクトプラグ 50 を形成する。

【0010】ところで、かかる従来の方法は、下記のような問題点を抱いている。

【0011】第一に、前記上部電極 35 を形成するために前記他の金属膜をパターニングする段階において、前記誘電膜 30 がプラズマによって損傷される恐れがある。これにより、MIM キャパシタの性能が落ちるという問題がある。

【0012】第二に、前記下部電極 25 及び上部電極 35 の厚さだけで段差を縮めるために、前記層間絶縁膜 40 の上面を CMP する段階を必ず導入する必要がある。すなわち、Cu 配線のための Cu の CMP 及び層間絶縁膜の CMP をさらに取り入れる必要があるのである。

【0013】

【発明が解決しようとする課題】本発明が解決しようとする技術的課題は、誘電膜を損傷しない MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を提供することである。

【0014】さらに、本発明が解決しようとする他の技術的課題は、層間絶縁膜の CMP が必要ない MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を提供することである。

【0015】

【課題を解決するための手段】前記技術的課題を達成するために、本発明に係る MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法では、半導体基板上の下部絶縁膜内に第 1 金属配線及び第 2 金属配線を形成する。前記第 1 金属配線及び第 2 金属配線が形成さ

れた前記半導体基板上に前記第 2 金属配線の上面を露出させるホール領域を有する第 1 絶縁膜及び第 2 絶縁膜を順次に形成する。前記ホール領域の内壁及び底面に誘電膜を形成して前記第 2 絶縁膜の上面と段差無しに前記ホール領域を完全に埋め込むキャパシタ上部電極を形成する。前記上部電極が形成された前記半導体基板上に第 3 絶縁膜及び第 4 絶縁膜を順次に形成する。前記第 4、第 3、第 2 及び第 1 絶縁膜を貫通して前記第 1 金属配線の上面に接触するダマシン配線構造と、前記第 4 及び第 3 絶縁膜を貫通して前記上部電極の上面に接触するコンタクトプラグを形成する。

【0016】本発明に係る半導体素子の製造方法において、前記キャパシタ上部電極を形成する段階は、前記第 2 絶縁膜の上面、前記ホール領域の内壁及び底面に誘電膜を形成する段階と、前記誘電膜が形成された前記半導体基板上に前記ホール領域を完全に埋め込む第 2 金属膜を形成する段階、及び前記第 2 絶縁膜の上面が露出されるように前記第 2 金属膜が形成された前記半導体基板上の上面を平坦化させる段階を含むことができる。ここで、前記第 2 金属膜の上面を平坦化させる段階は、CMP によって行われることが望ましい。前記第 2 金属膜として Ta 膜、Ta₂N 膜、TaSiN 膜、TiN 膜、TiSiN 膜、WN 膜、WSiN 膜、及びこれらの組み合わせよりなる群から選ばれたいずれかを形成することができ、又、前記第 2 金属膜として Ta 膜と Cu 膜との 2 重膜、Ta₂N 膜と Cu 膜との 2 重膜、及び Ta 膜と Ta₂N 膜と Cu 膜との 3 重膜よりなる群から選ばれたいずれか一つを形成することもできる。

【0017】本発明に係る MIM キャパシタ及びダマシン配線構造を有する他の半導体素子の製造方法では、半導体基板上の下部絶縁膜内に第 1 金属配線及び第 2 金属配線を形成する。前記第 1 金属配線及び第 2 金属配線が形成された前記半導体基板上に前記第 2 金属配線の上面を露出させるホール領域を有する第 1 絶縁膜及び第 2 絶縁膜を順次に形成する。前記ホール領域の内壁及び底面に誘電膜を形成して前記第 2 絶縁膜の上面と段差無しに前記ホール領域を完全に埋め込まない厚さにキャパシタ上部電極を形成する。前記上部電極が形成された前記半導体基板上に第 3 絶縁膜及び第 4 絶縁膜を順次に形成する。前記第 4、第 3、第 2 及び第 1 絶縁膜を貫通して前記第 1 金属配線の上面に接触するダマシン配線構造と、前記第 4 及び第 3 絶縁膜を貫通して前記上部電極の上面に接触するコンタクトプラグとを形成する。

【0018】本発明に係る他の半導体素子の製造方法において、前記キャパシタ上部電極を形成する段階は、前記第 2 絶縁膜の上面、前記ホール領域の内壁及び底面に誘電膜を形成する段階と、前記誘電膜が形成された前記半導体基板上に前記ホール領域を完全に埋め込まない厚さに第 2 金属膜を形成する段階と、前記第 2 金属膜が形成された前記半導体基板上にキャッピング膜を形成す

る段階と、前記第2絶縁膜の上面が露出されるように前記キャッピング膜が形成された前記半導体基板の上面を平坦化させて第2金属膜パターン及びキャッピング膜パターンを形成する段階、及び前記キャッピング膜パターンが形成された前記半導体基板を洗浄する段階を含むことができる。ここで、前記第2金属膜パターン及びキャッピング膜パターンを形成する段階は、CMPによって行われることが望ましい。前記第2金属膜としてTa膜、Ta₂N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、WSiN膜、及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することができる。又、前記第2金属膜としてTa膜とCu膜との2重膜、及びTa膜とTa₂N膜とCu膜との3重膜よりなる群から選ばれたいずれか一つを形成することができる。前記キャッピング膜としてTEOS膜、PEOX膜、SiOF膜、及びSiOC膜よりなる群から選ばれたいずれか一つを形成することができる。

【0019】本発明に係る半導体素子の製造方法において、前記第1金属配線及び第2金属配線を形成するために、前記下部絶縁膜内に第1及び第2トレンチを形成する。前記第1及び第2トレンチを完全に埋め込む第1金属膜を形成した後に、前記下部絶縁膜の上面が露出されるように前記第1金属膜の上面を平坦化させる。前記第1金属膜としてCu膜を形成することが望ましい。前記第1金属膜を形成する前に、前記第1及び第2トレンチの内壁及び底面に第1障壁金属膜を形成することができる。

【0020】本発明に係る半導体素子の製造方法において、前記ダマシン配線構造及びコンタクトプラグを形成するために、前記第4、第3、第2及び第1絶縁膜を貫通して前記第1金属配線の上面を露出させるビアトレンチを形成する。前記ビアトレンチの上部に前記第4及び第3絶縁膜を貫通する金属配線領域トレンチを形成する。前記第4及び第3絶縁膜を貫通して前記上部電極の上面を露出させるコンタクトホールを形成する。前記ビアトレンチ、金属配線領域トレンチ及びコンタクトホールを完全に埋め込む第3金属膜を形成した後に、前記第4絶縁膜の上面が露出されるように前記第3金属膜の上面を平坦化させる。前記第3金属膜としてCu膜を形成することが望ましい。前記第3金属膜を形成した段階前に、前記ビアトレンチ、金属配線領域トレンチ及びコンタクトホールの内壁及び底面に第2障壁金属膜を形成する段階をさらに含むことができる。

【0021】本発明に係る半導体素子の製造方法において、前記第1絶縁膜及び第2絶縁膜を形成する段階前に、前記第2金属配線上にキャパシタ下部電極を形成する段階をさらに含むことができる。この時、前記第1絶縁膜及び第2絶縁膜は前記下部電極の上面を露出させるホール領域を有するように形成される。前記キャパシタ

下部電極としてTa膜、Ta₂N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、WSiN膜、及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することができる。

【0022】本発明によれば、キャパシタの上部電極を形成する段階で誘電膜を損傷させる恐れがない。そして、キャパシタを形成した後に、金属配線のために形成する絶縁膜をCMPしなくても良い。

【0023】

【発明の実施の形態】以下、添付した図面に基づき、本発明の望ましい実施形態を詳細に説明する。しかし、本発明の実施形態は各種の形態に変形でき、本発明の範囲が後述する実施形態によって限定されると解釈されてはならない。本発明の実施形態は当業者に本発明をより完全に説明するために提供されるものである。従って、図中の要素の形状などはより明確な説明を強調するために誇張されており、図中同じ要素には同じ符号を使用した。また、ある層が他の層又は半導体基板の「上」にあると記載される場合、前記ある層は前記他の層又は半導体基板に直接的に接触して存在することもでき、または、それらの間に第3の層が存在されることもできる。

【0024】<第1実施形態>図3ないし図8は、本発明の第1実施形態によるMIMキャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【0025】図3を参照すれば、半導体基板90上に下部絶縁膜100を形成する。前記下部絶縁膜100内に第1及び第2トレンチT11、T12を形成する。前記第1及び第2トレンチT11、T12の内壁及び底面に第1障壁金属膜112を形成する。前記第1障壁金属膜112としては、Ta膜、Ta₂N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、WSiN膜、及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することができる。

【0026】前記第1障壁金属膜112は、後続工程で前記第1及び第2トレンチT11、T12に埋め込まれる第1金属膜の金属原子が前記下部絶縁膜100内に拡散することを防止する。

【0027】前記第1障壁金属膜112が形成された前記第1及び第2トレンチT11、T12を完全に埋め込む第1金属膜を形成する。この時、前記第1金属膜としてCu膜を形成することが望ましい。

【0028】これにはまず、前記第1障壁金属膜112が形成された前記第1及び第2トレンチT11、T12の内壁及び底面にCu種子を形成する。

【0029】次に、前記第1及び第2トレンチT11、T12を完全に埋め込むCu膜を電気メッキ法により形成する。前記下部絶縁膜100の上面が露出されるように前記第1金属膜の上面をCMPして平坦化させる。これにより、前記下部絶縁膜100と段差無しに第1金属

配線115及び第2金属配線120が形成される。

【0030】図4を参照すれば、前記第1金属配線115及び第2金属配線120が形成された前記半導体基板90上に前記第2金属配線120の上面を露出させるホール領域H1を有する第1絶縁膜125及び第2絶縁膜130を順次形成する。例えば、前記第1金属配線115及び第2金属配線120が形成された前記半導体基板90上に第1絶縁膜125としてSi₃N₄膜又はSiC膜を形成する。前記第1絶縁膜125は前記第1金属配線115及び第2金属配線120内の金属原子が上部の絶縁膜に拡散されることを防止する。前記第1絶縁膜125上に第2絶縁膜130としては、TEOS膜、PEOX膜、SiOF膜またはSiOC膜を形成する。例えば、TEOS膜はTEOSソースガスを用いた化学気相蒸着法（以下、CVD）により形成することができる。PEOX膜はSiH₄ガス、N₂ガスをを用いてプラズマ-CVD法により形成することができる。SiOF膜はSiH₄ガス、SiF₄ガス、O₂ガス及びArガスをを用いたHDP（High Density Plasma）-CVD法により形成することができる。SiOC膜はトリメチルシラン（TMS）などの有機ソースガスを用いてCVD法により形成することができる。

【0031】次に、前記第2金属配線120の上面が露出されるように前記第1絶縁膜125及び第2絶縁膜130をパターンニングする。

【0032】図5を参照すれば、前記第2絶縁膜130の上面、前記ホール領域H1の内壁及び底面に誘電膜135を形成する。前記誘電膜135としてSi₃N₄膜又はSiC膜を形成する。ここで、Si₃N₄膜又はSiC膜は単独で形成しても良く、所定の酸化膜と組み合わせるSi₃N₄膜及び酸化膜の2重膜、又はSiC膜と酸化膜との2重膜に形成しても良い。例えば、前記誘電膜135としては、Si₃N₄膜とSiOC膜との2重膜、Si₃N₄膜とTEOS膜との2重膜、Si₃N₄膜とPEOX膜との2重膜、SiC膜とSiOC膜との2重膜、SiC膜とTEOS膜との2重膜、またはSiC膜とPEOX膜との2重膜を形成する。このように、誘電膜をSi₃N₄膜と酸化膜との2重膜又はSiC膜と酸化膜との2重膜に形成すれば、キャパシタの漏れ電流特性が改善される。

【0033】前記誘電膜135の厚さは所望のキャパシタの静電容量に合わせて調節する。

【0034】このように誘電膜135が形成された前記半導体基板90上に前記ホール領域H1を完全に埋め込む第2金属膜140を形成する。前記第2金属膜140としては、Ta膜、Ta₂N膜、Ta₃Si₂N膜、Ti₂N膜、Ti₃Si₂N膜、WN膜、WSi₂N膜、及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することができる。又、前記第2金属膜140としては、Ta膜とCu膜との2重膜、Ta₂N膜とCu膜との2重膜、及びTa膜、Ta₂N膜とCu膜との3重膜より

なる群から選ばれたいずれか一つを形成することもできる。

【0035】図6を参照すれば、前記第2絶縁膜130の上面が露出されるように前記第2金属膜140が形成された前記半導体基板90の上面を平坦化させる。この時、平坦化は、CMPによって行われることが望ましい。これにより、前記第2絶縁膜130の上面と段差無しに前記ホール領域H1を完全に埋め込むキャパシタ上部電極140aが形成される。

【0036】前記平坦化段階を行う時、前記第2絶縁膜130の上面に形成された前記誘電膜135部分を完全に除去するので、前記誘電膜135は前記ホール領域H1の内壁及び底面にのみ残留する。前記第2絶縁膜130の上面に形成された前記誘電膜135部分を完全に除去することにより、前記キャパシタ上部電極140aのほかに第2金属膜部分が図6の前記半導体基板90板に残留しない。

【0037】従来の技術では、フォトリソグラフィ工程により上部電極を形成するため、前記上部電極をパターンニングする段階で下部の誘電膜がプラズマによって損傷されるといった問題があった。しかし、本発明の実施形態によれば、CMPによって前記上部電極140aを形成するので、前記誘電膜135がプラズマによって損傷されるといった問題が解決される。

【0038】次に、前記上部電極140aが形成された前記半導体基板90上に第3絶縁膜143及び第4絶縁膜145を順次形成する。前記第3絶縁膜143としては、Si₃N₄膜又はSiC膜を形成する。前記第4絶縁膜145としては、前記第2絶縁膜130と同様にTEOS膜、PEOX膜、SiOF膜、及びSiOC膜よりなる群から選ばれたいずれか一つを形成することができる。従来技術とは異なって、前記第2絶縁膜130の上面と段差無しに上部電極140aを形成するので、前記第4絶縁膜145を別途に平坦化させる工程を行わなくても良い。

【0039】図7を参照すれば、前記第4絶縁膜145、第3絶縁膜143、第2絶縁膜130及び第1絶縁膜125を貫通して前記第1金属配線115の上面を露出させるビアトレンチH11を形成する。前記ビアトレンチH11の上部に前記第4絶縁膜145及び第3絶縁膜143を貫通する金属配線領域トレンチH12を形成する。

【0040】このためには、まず、前記第3絶縁膜143に対する前記第4絶縁膜145のエッチング選択比があるエッチング工程により前記第4絶縁膜145をエッチングする。この時、前記第3絶縁膜143がエッチング終了点となる。次に、前記第3絶縁膜143までエッチングして金属配線領域トレンチH12を完成する。このように、前記第3絶縁膜143はデュアルダマシン配線構造を形成するためのエッチング停止膜の機能が行使

るように入導する膜である。

【0041】前記金属配線領域トレンチH12を形成する間に、前記第4絶縁膜145及び第3絶縁膜143を貫通して前記上部電極140aの上面を露出させるコンタクトホールH13も形成する。この実施形態では、前記ビアトレンチH11を形成した後に前記金属配線領域トレンチH12を形成する方法について説明したが、前記金属配線領域トレンチH12を形成した後に前記ビアトレンチH11を形成しても構わない。

【0042】図8を参照すれば、前記ビアトレンチH11、金属配線領域トレンチH12及びコンタクトホールH13の内壁及び底面に第2障壁金属膜147を形成する。前記第2障壁金属膜147としてTa膜、Ta₂N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、WSiN膜及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することができ、前記第2障壁金属膜147は後続工程で前記ビアトレンチH11、金属配線領域トレンチH12及びコンタクトホールH13に埋め込まれる第3金属膜の金属原子が前記第4及び第2絶縁膜145、130内に拡散されることを防止する。

【0043】次に、前記ビアトレンチH11、金属配線領域トレンチH12及びコンタクトホールH13を完全に埋め込む第3金属膜を形成する。ここで、前記第3金属膜としてCu膜を形成することが好ましい。前記Cu膜は前記ビアトレンチH11、金属配線領域トレンチH12及びコンタクトホールH13の内壁及び底面にCu種子を形成した後に電気メッキ法によって形成することができる。次に、前記第4絶縁膜145の上面が露出されるようにCMP法により前記第3金属膜の上面を平坦化させる。これにより、前記第4絶縁膜145、第3絶縁膜143、第2絶縁膜130及び第1絶縁膜125を貫通して前記第1金属配線115の上面に接触するダマシン配線構造150と、前記第4絶縁膜145及び第3絶縁膜143を貫通して前記上部電極140aの上面に接触するコンタクトプラグ155とが形成される。

【0044】＜第2実施の形態＞図9ないし図11は、本発明の第2実施の形態によるMIMキャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。この実施形態において、前記第1実施の形態と同一の部分に対してはその説明を省略する。

【0045】図9を参照すれば、前記第1実施の形態の方法と同様にして、半導体基板190上の下部絶縁膜200内に前記下部絶縁膜200と段差無しに第1金属配線215及び第2金属配線220を形成する。参照番号212は第1障壁金属膜である。

【0046】次に、前記第2金属配線220の上面に接触するキャパシタ下部電極222を形成する。例えば、前記第1金属配線215及び第2金属配線220が形成

された前記半導体基板190上にTa膜、Ta₂N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、WSiN膜及びこれらの組み合わせよりなる群から選ばれたいずれか一つの膜を形成してこれをパターンニングする。

【0047】図10を参照すれば、前記下部電極222の上面を露出させるホール領域H2を有する第1絶縁膜225及び第2絶縁膜230を順次に形成する。例えば、前記下部電極222が形成された前記半導体基板190上に第1絶縁膜225としてSi₃N₄膜又はSiC膜を形成する。前記第1絶縁膜225上に第2絶縁膜230としてTEOS膜、PEOX膜、SiOF膜、又はSiOC膜を形成する。

【0048】次に、前記下部電極222の上面が露出されるように前記第1絶縁膜225及び第2絶縁膜230をパターンニングする。

【0049】以降の工程段階は前記第1実施の形態と同一である。すなわち、図11を参照すれば、前記第2絶縁膜230の上面、前記ホール領域H2の内壁及び底面に誘電膜235を形成する。前記誘電膜235が形成された前記半導体基板190上に前記ホール領域H2を完全に埋め込む第2金属膜を形成した後に、前記第2絶縁膜230の上面が露出されるように前記第2金属膜が形成された前記半導体基板190の上面を平坦化させる。これにより、前記第2絶縁膜230の上面と段差無しに前記ホール領域H2を完全に埋め込むキャパシタ上部電極240aが形成される。

【0050】従来の技術では、フォトリソグラフィ工程により上部電極を形成するため、前記上部電極をパターンニングする段階で下部の誘電膜がプラズマによって損傷されるという問題があった。しかし、本発明の実施形態によれば、CMPによって前記上部電極240aを形成するので、前記誘電膜235がプラズマによって損傷される問題が解決される。

【0051】次に、前記上部電極240aが形成された前記半導体基板190上に第3絶縁膜243及び第4絶縁膜245を順次に形成する。従来の技術とは異なって、前記第2絶縁膜230の上面と段差無しに上部電極240aを形成するので、前記第4絶縁膜245を別途に平坦化させる工程を行わなくても良い。

【0052】前記第4絶縁膜245、第3絶縁膜243、第2絶縁膜230及び第1絶縁膜225を貫通して前記第1金属配線215の上面に接触するダマシン配線構造250と、前記第4絶縁膜245及び第3絶縁膜243を貫通して前記上部電極240aの上面に接触するコンタクトプラグ255とを形成する。参照番号247は第2障壁金属膜である。

【0053】前記第1実施の形態では、前記第2金属配線120がMIMキャパシタの下部電極の役割をするため、別途の下部電極を形成しない。ところが、前記第1絶縁膜125及び第2絶縁膜130をパターンニングする

時に前記第2金属配線120の上面が損傷される恐れがある。このため、前記第2金属配線120の表面が粗くなったり、不純物が流入したり、デッシングされたりする問題が生じる場合にはMIMキャパシタの性能の低下が招かれることがある。

【0054】従って、この実施形態では、前記下部電極222を形成することにより、このような問題を解決する。下部電極はTa膜、Ta₂N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、WSiN膜及びこれらの組み合わせよりなる群から選ばれたいずれか一つの膜よりなるので、前記第1絶縁膜225及び第2絶縁膜230をパターンニングする段階で上面が損傷される心配がほとんど無い。

【0055】＜第3実施の形態＞図12ないし図19は、本発明の第3実施の形態によるMIMキャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。この実施形態において、前記第1実施の形態と同じ部分についてはその説明を省く。

【0056】図12を参照すれば、前記第1実施の形態の方法と同様にして、半導体基板290上の下部絶縁膜300内に前記下部絶縁膜300と段差無しに第1金属配線315及び第2金属配線320を形成する。参照番号312は第1障壁金属膜である。前記第1金属配線315及び第2金属配線320が形成された前記半導体基板290上に前記第2金属配線320の上面を露出させるホール領域H3を有する第1絶縁膜325及び第2絶縁膜330を順次形成する。

【0057】図13を参照すれば、前記第2絶縁膜330の上面、前記ホール領域H3の内壁及び底面に誘電膜335を形成する。

【0058】前記誘電膜335が形成された前記半導体基板290上に前記ホール領域H3を完全に埋め込まない厚さに第2金属膜340を形成する。前記第2金属膜340としては、Ta膜、Ta₂N膜、TaSiN膜、TiN膜、TiSiN膜、WN膜、WSiN膜、及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することができる。又、前記第2金属膜340としては、Ta膜とCu膜との2重膜、Ta₂N膜とCu膜との2重膜、及びTa膜、Ta₂N膜とCu膜との3重膜よりなる群から選ばれたいずれか一つを形成することができる。

【0059】この実施形態では、前記第2金属膜340のCMP量を減らすために、前記第1及び第2実施の形態とは異なって、前記第2金属膜340を薄く形成することが特徴である。ところで、前記第2金属膜340が前記ホール領域H3を完全に埋め込まないため、CMP後に前記ホール領域H3内にCMPスラリーが残留し易い。残留するCMPスラリーを除去するためには洗浄工程を行わなければならないが、この時、上部電極となる

前記第2金属膜340が損傷される恐れがある。

【0060】従って、この実施形態では、前記第2金属膜340を保護するためにキャッピング膜342を形成する。前記キャッピング膜342として前記第2絶縁膜330と同様にTEOS膜、PEOX膜、SiOF膜、又はSiOC膜を形成する。前記キャッピング膜342は前記ホール領域H3を完全に埋め込むように形成しても良く、図13のように、前記ホール領域H3を完全に埋め込まないように形成しても良い。

【0061】図14を参照すれば、前記第2絶縁膜330の上面が露出されるように前記キャッピング膜342が形成された前記半導体基板290の上面を平坦化させる。これにより、前記誘電膜335が形成されたホール領域H3の内壁及び底面に前記ホール領域H3を完全に埋め込まない厚さにキャパシタ上部電極340a及びキャッピング膜パターン342aが形成される。ここで、前記上部電極340a及びキャッピング膜パターン342aを形成する段階は、CMPによって行われることが望ましい。前記キャッピング膜パターン342aが前記ホール領域H3を完全に埋め込まない場合には、前述の通り、前記ホール領域H3内にCMPスラリーSが残留する恐れがある。

【0062】図15を参照すれば、前記キャッピング膜パターン342aが形成された前記半導体基板290を洗浄する。前記洗浄する段階は通常の方法に代ってエッチング法によって行う。前記ホール領域H3内に残留するCMPスラリーSが除去される間に、前記キャッピング膜パターン342aそのものも次第にエッチングされるものの、エッチング液が前記上部電極340aに侵入することを防止する。このため、前記上部電極340aが損傷される恐れがない。

【0063】前記キャッピング膜パターン342a及び前記第2絶縁膜330は両方とも酸化膜系であるため、洗浄工程によって前記キャッピング膜パターン342aがエッチングされる間に前記第2絶縁膜パターン330もエッチングされる。従って、前記第2絶縁膜パターン330が過度にエッチングされないようにエッチング時間を調節する。このため、前記キャッピング膜パターン342aが完全に除去し切れずに、図16の如く、洗浄後の前記半導体基板290から薄くなったキャッピング膜パターン342bが残留する場合もある。

【0064】従来の技術ではフォトリソグラフィ工程により上部電極を形成するため、前記上部電極をパターンニングする段階で下部の誘電膜がプラズマによって損傷されるという問題があった。しかし、本発明の実施形態によれば、CMPによって前記上部電極340aを形成するので、前記誘電膜335がプラズマによって損傷される問題が解決される。前記CMP段階で使われるスラリーが前記ホール領域H3内に残留する場合、これを除去するための洗浄工程を行う時、前記キャッピング膜パタ

ー 342a が前記上部電極 340a をエッチング液から保護するので、前記上部電極 340a が損傷される恐れがない。

【0065】図 17 を参照すれば、前記上部電極 340a が形成された前記半導体基板 290 上に第 3 絶縁膜 343 及び第 4 絶縁膜 345 を形成する。前記第 4 絶縁膜 345 として前記第 2 絶縁膜 330 及びキャッピング膜 342 と同様に TEOS 膜、PEOX 膜、SiO₂ 膜、及び SiOC 膜よりなる群から選ばれたいずれか一つを形成することができる。従来の技術とは異なって、前記第 4 絶縁膜 345 を別途に平坦化させる工程を行わない。すなわち、図 16 の如く、前記第 4 絶縁膜 345 が前記ホール領域 H3 で段差を持っていても、前記第 4 絶縁膜 345 を平坦化させない。

【0066】図 18 を参照すれば、前記第 4 絶縁膜 345、第 3 絶縁膜 343、第 2 絶縁膜 330 及び第 1 絶縁膜 325 を貫通して前記第 1 金属配線 315 の上面を露出させるビアトレッチ H31 を形成する。前記ビアトレッチ H31 の上部に前記第 4 絶縁膜 345 及び第 3 絶縁膜 343 を貫通する金属配線領域トレッチ H32 を形成する。前記金属配線領域トレッチ H32 を形成する間に、前記第 4 絶縁膜 345 及び第 3 絶縁膜 343 を貫通して前記上部電極 340a の上面を露出させるコンタクトホール H33 も形成する。

【0067】洗浄後の前記半導体基板 290 で薄くなったキャッピング膜パターン 342b が残留するならば、前記コンタクトホール H33 は前記キャッピング膜パターン 342b も貫通するように形成されるべきなのは当業者にとって容易に理解できるであろう。この実施の形態では、前記ビアトレッチ H31 を形成した後に、前記金属配線領域トレッチ H32 を形成する方法について説明したが、前記金属配線領域トレッチ H32 を形成した後に前記ビアトレッチ H31 を形成しても構わない。

【0068】図 19 を参照すれば、前記ビアトレッチ H31、金属配線領域トレッチ H32 及びコンタクトホール H33 の内壁及び底面に第 2 障壁金属膜 347 を形成する。前記第 2 障壁金属膜 347 として Ta 膜、Ta₂N 膜、TaSiN 膜、TiN 膜、TiSiN 膜、WN 膜、WSiN 膜及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成することができる。次に、前記ビアトレッチ H31、金属配線領域トレッチ H32 及びコンタクトホール H33 を完全に埋め込む第 3 金属膜を形成する。ここで、前記第 3 金属膜として Cu 膜を形成することが望ましい。前記 Cu 膜は前記ビアトレッチ H31、金属配線領域トレッチ H32 及びコンタクトホール H33 の内壁及び底面に Cu 種子を形成した後に電気メッキ法によって形成することができる。前記第 4 絶縁膜 345 の上面が露出されるように前記第 3 金属膜の上面を CMP 法により平坦化させる。これにより、前記第 4 絶縁膜 345、第 3 絶縁膜 343、第 2 絶縁膜 330

及び第 1 絶縁膜 325 を貫通して前記第 1 金属配線 315 の上面に接触するダマシン配線構造 350 と、前記第 4 絶縁膜 345 及び第 3 絶縁膜 343 を貫通して前記上部電極 340a の上面に接触するコンタクトプラグ 355 が形成される。

【0069】<第 4 実施の形態> 図 20 ないし図 22 は、本発明の第 4 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。この実施形態において、前記第 3 実施の形態と同じ部分に対してはその説明を省略する。

【0070】図 20 を参照すれば、前記第 1 実施の形態の方法と同様にして、半導体基板 390 上の下部絶縁膜 400 内に前記下部絶縁膜 400 と段差無しに第 1 金属配線 415 及び第 2 金属配線 420 を形成する。参照番号 411 は第 1 障壁金属膜である。前記第 2 金属配線 420 の上面に接触するキャパシタ下部電極 422 を形成する。例えば、前記第 1 金属配線 415 及び第 2 金属配線 420 が形成された前記半導体基板 390 上に Ta 膜、Ta₂N 膜、TaSiN 膜、TiN 膜、TiSiN 膜、WN 膜、WSiN 膜、及びこれらの組み合わせよりなる群から選ばれたいずれか一つを形成してこれをパターンニングする。

【0071】図 21 を参照すれば、前記下部電極 422 の上面を露出させるホール領域 H4 を有する第 1 絶縁膜 425 及び第 2 絶縁膜 430 を順次に形成する。例えば、前記下部電極 422 が形成された前記半導体基板 390 上に第 1 絶縁膜 425 として Si₃N₄ 膜又は SiOC 膜を形成することができる。前記第 1 絶縁膜 425 上に第 2 絶縁膜 430 として TEOS 膜、PEOX 膜、SiO₂ 膜、または SiOC 膜を形成する。次に、前記下部電極 422 の上面が露出されるように前記第 1 絶縁膜 425 及び第 2 絶縁膜 430 をパターンニングする。

【0072】以降の工程段階は前記第 3 実施の形態と同じである。すなわち、図 22 を参照すれば、前記第 2 絶縁膜 430 の上面、前記ホール領域 H4 の内壁及び底面に誘電膜 435 を形成する。前記誘電膜 435 が形成された前記半導体基板 390 上に前記ホール領域 H4 を完全に埋め込まないほどの厚さに第 2 金属膜を形成する。前記第 2 金属膜を保護するためにキャッピング膜を形成する。前記第 2 絶縁膜 430 の上面が露出されるように前記キャッピング膜が形成された前記半導体基板 390 の上面を平坦化させる。

【0073】これにより、前記誘電膜 435 が形成されたホール領域 H4 の内壁及び底面に前記ホール領域 H4 を完全に埋め込まないほどの厚さにキャパシタ上部電極 440a 及びキャッピング膜パターンが形成される。洗浄工程を行い、前記ホール領域 H4 内に残留する CMP スラリーを除去する。この時、CMP スラリーの除去は湿式エッチング法によるので、前記キャッピング膜パター

ーンが除去される。図示はしていないが、前記キャッピング膜パターンは残留することもある。前記キャッピング膜パターンは前記上部電極 440a をエッチング液から保護する。

【0074】従来の技術では、フォトリソグラフィ工程により上部電極を形成するため、前記上部電極をパターンニングする段階で下部の誘電膜がプラズマによって損傷されるという問題があった。しかし、本発明の実施形態によれば、CMP によって前記上部電極 440a を形成するので、前記誘電膜 435 がプラズマによって損傷される問題が解決される。

【0075】次に、前記上部電極 440a が形成された前記半導体基板 390 上に第 3 絶縁膜 433 及び第 4 絶縁膜 445 を順次形成する。従来の技術とは異なっており、前記第 4 絶縁膜 445 を別途に平坦化させる工程を行わない。前記第 4 絶縁膜 445、第 3 絶縁膜 433、第 2 絶縁膜 430 及び第 1 絶縁膜 425 を貫通して前記第 1 金属配線 415 の上面に接触するダマシン配線構造 450 と、前記第 4 絶縁膜 445 及び第 3 絶縁膜 433 を貫通して前記上部電極 440a の上面に接触するコンタクトプラグ 455 とを形成する。参照番号 447 は第 2 障壁金属膜である。

【0076】前記第 3 実施の形態では、前記第 2 金属配線 320 が MIM キャパシタの下部電極の役割をするので、別途の下部電極を形成しない。ところが、前記第 1 絶縁膜 325 及び第 2 絶縁膜 330 をパターンニングする段階で前記第 2 金属配線 320 の上面が損傷される恐れがある。このため、前記第 2 金属配線 320 の表面が粗くなったり、不純物が流入したり、あるいはディッシングされたりする問題が生じる場合には MIM キャパシタの性能の低下が招かれることがある。従って、この実施形態では、前記下部電極 422 を形成することにより、前述のような問題を前もって防止できる。

【0077】

【発明の効果】以上述べたように、本発明によれば、キャパシタの上部電極を形成する段階で誘電膜を損傷する恐れがない。これにより、エッチング工程による誘電膜表面の損傷を防止してキャパシタの性能の低下を防止することができる。

【0078】そして、キャパシタを形成した後、金属配線のために形成する絶縁膜を CMP しなくても良い。これにより、全体的な半導体素子の製造工程が簡単になる。

【0079】さらに、ダマシン配線構造を形成するので、比抵抗が A1 に比べて小さく、しかもエレクトロマイグレーション抵抗性にも優れている Cu 配線構造を提供できる。これにより、配線の断面積が狭まって半導体素子の動作速度及び信頼性が維持可能になる。

【図面の簡単な説明】

【図 1】従来の MIM キャパシタ及びダマシン配線構造

を有する半導体素子の製造方法を説明するための断面図である。

【図 2】従来の MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 3】本発明の第 1 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 4】図 3 に続く、第 1 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 5】図 4 に続く、第 1 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 6】図 5 に続く、第 1 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 7】図 6 に続く、第 1 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 8】図 7 に続く、第 1 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 9】本発明の第 2 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 10】図 9 に続く、第 2 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 11】図 10 に続く、第 2 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 12】本発明の第 3 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 13】図 12 に続く、第 3 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 14】図 13 に続く、第 3 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 15】図 14 に続く、第 3 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 16】図 15 に続く、第 3 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図 17】図 16 に続く、第 3 実施の形態による MIM キャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図18】 図17に続く、第3実施の形態によるMIMキャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図19】 図18に続く、第3実施の形態によるMIMキャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図20】 本発明の第4実施の形態によるMIMキャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【図21】 図20に続く、第4実施の形態によるMIMキャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

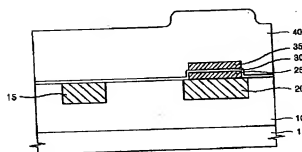
【図22】 図21に続く、第4実施の形態によるMIMキャパシタ及びダマシン配線構造を有する半導体素子の製造方法を説明するための断面図である。

【符号の説明】

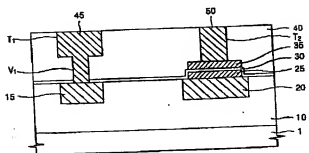
90 半導体基板

100 下部絶縁膜
112 第1障壁金属膜
115 第1金属配線
120 第2金属配線
125 第1絶縁膜
130 第2絶縁膜
135 誘電膜
140 a 上部電極
143 第3絶縁膜
145 第4絶縁膜
147 第2障壁金属膜
150 ダマシン配線構造
155 コンタクトプラグ
H11 ビアトレンチ
H12 金属配線領域トレンチ
H13 コンタクトホール

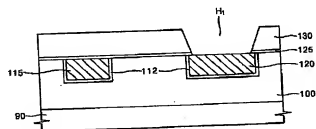
【図1】



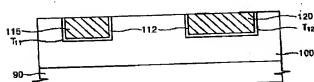
【図2】



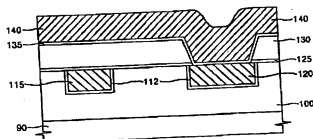
【図4】



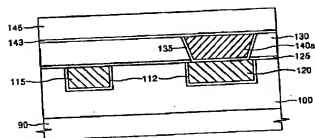
【図3】



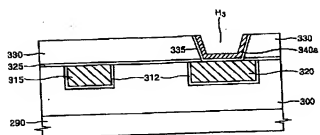
【図5】



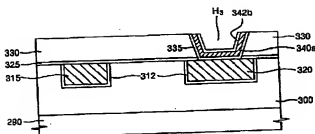
【図6】



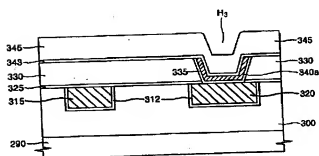
【図15】



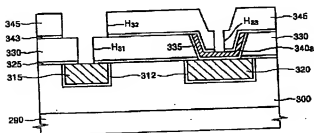
【図16】



【図17】

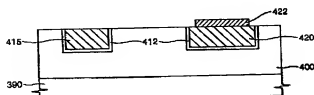
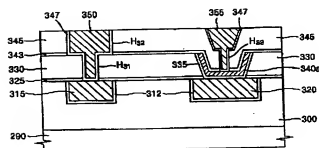


【図18】

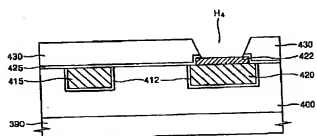


【図20】

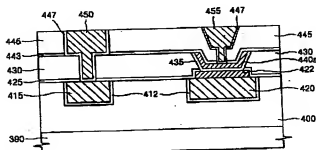
【図19】



【図21】



【図22】



フロントページの続き

(72)発明者 韓 滋 ▲こう▼

大韓民国京畿道水原市八達区靈通洞 住公

1 団地アパート128棟302号

F ターム(参考) 5F033 HH11 HH21 HH27 HH28 HH30
HH32 HH33 HH34 JJ01 JJ11
JJ21 JJ27 JJ28 JJ30 JJ32
JJ33 JJ34 KK11 KK21 KK27
KK28 KK30 KK32 KK33 KK34
MM01 MM02 MM12 MM13 NN06
NN07 PP27 PP33 QQ09 QQ10
QQ37 QQ48 QQ91 QQ94 RR01
RR04 RR06 RR11 SS02 SS03
SS04 SS11 TT02 VV10 XX00
XX01 XX03 XX05 XX10 XX21
XX27 XX28
5F038 AC05 AC10 AC15 AC16 EZ11
EZ15 EZ20